

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-022027
(43)Date of publication of application : 21.01.2000

(51)Int. Cl. H01L 23/12
H01L 21/60
// H01L 21/60

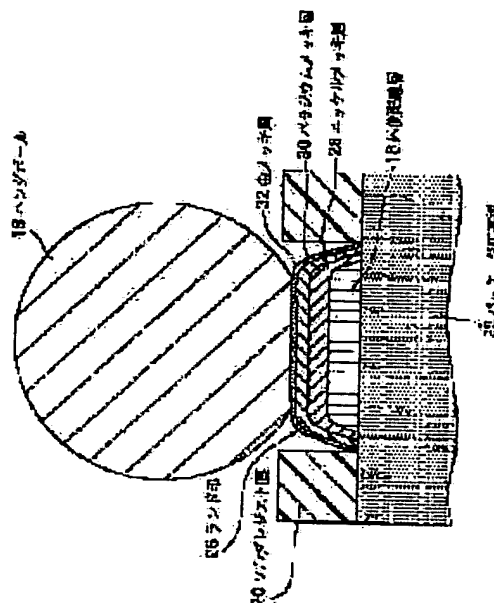
(21)Application number : 10-182220 (71)Applicant : SONY CORP
(22)Date of filing : 29.06.1998 (72)Inventor : MATSUMOTO YOSHIYUKI

(54) SEMICONDUCTOR DEVICE, MANUFACTURE THEREOF, AND PACKAGE BOARD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device and a manufacturing method thereof, wherein solder balls are effectively prevented from degrading in adhesion due to a thermal treatment carried out at a high temperature restraining the manufacturing cost of the semiconductor device from increasing in manufacturing cost.

SOLUTION: A semiconductor device is equipped with a spherical terminal 18, wherein the terminal 18 is fixed to a land 26 located on a wiring layer 16 to serve as an outer terminal provided in the rear of a package board 22 or a terminal as an inner connector between a semiconductor chip and the package board 22. The land 26 is equipped with a nickel layer 28 on the wiring layer 16 and a gold layer 32 which comes into contact with the terminal 18, and a diffusion stop layer 30 which is formed of Pd or Pd alloy to stop Ni from being diffused into the gold layer 32 is interposed between the layer 28 and 32. Ni is prevented from being diffused upward by the diffusion stop layer 30, whereby the surface of the land 26 is hardly oxidized, and the gold layer 32 can be made thin through a flash plating method, so that a rigid and fragile layer of Au-Sn alloy or the like is hardly formed on a solder joint surface.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of

rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs]

this invention is concerned with the semiconductor chip generally connected to a substrate electrically and mechanically, and is concerned especially with a flip chip construct.

[0002]

[Description of the Prior Art]

A flip chip method of construction is known in the conventional technology. The semiconductor chip which formed the solder bump in the activity side of a semiconductor chip is joined to a substrate through this solder bump a **** repetition and by carrying out a reflow of the solder further. A structural solder joint is formed between a semiconductor chip and a substrate, and it forms mechanical and electrical installation between this chip and a substrate. A narrow gap is left behind between a semiconductor chip and a substrate.

[0003]

One obstacle seen when a flip chip method of construction is applied to a polymer printed circuit is falling by the mismatching of the coefficient of thermal expansion seen between a chip and a polymer substrate, so that the reliability of a solder joint cannot be received. That is, since a chip has the coefficient of thermal expansion of about 3 ppm[/degree] C and a polymer substrate, for example, epoxy glass, has the expansion coefficient of 26 ppm[/degree] C from about 16, this makes stress form in a solder joint. Since it is small, a structural solder joint is a disjunction plain-gauze cone. In order to strengthen the integrity of the solder joint in the interconnection of the flip chip to a substrate conventionally, lower part restoration of the capacity between a chip and a substrate was carried out with the lower part restoration (underfill) enclosure material which consists of suitable polymer. This lower part packing material is usually poured into the circumference of two contact surfaces of a semiconductor chip. Then, flux of this lower part packing material is slowly carried out by capillary action, and it fills the gap between a chip and a substrate. Next, this lower part packing material is calcinated and hardened over a long period of time. In order for this restoration enclosure material to become effective, it is important that it pastes a chip and a substrate well and improves the integrity of a solder joint by it. It is shown clearly that carrying out lower part restoration of the chip by the enclosure material hardened after that reduces the solder joint

crack by the coefficient-of-thermal-expansion mismatching between a chip and a substrate. Hardening enclosure material reduces the stress by the expansion and the differential shrinkage in a solder joint.

[0004]

However, a lower part restoration process makes the assembly of an enclosure flip chip printed-circuit board (PWB) the labor-intensive and expensive time-consuming process containing some indefinite elements. In order to join an integrated circuit to a substrate, generally flux and the flux (low residue flux) which is not pure and whose residue is low degree are installed on a chip or a substrate. Next, this integrated circuit is installed on a substrate. This assembly is imposed on a solder reflow INGU heat cycle, and soldering of the chip is carried out to a substrate. The surface tension of a solder helps for a chip and a substrate terminal to carry out self-adjustment. After a reflow becomes very difficult [that it removes the lower shell flux residue of a chip since a chip will approach very much to a substrate] to operate it, and, generally it is not made. Therefore, the flux residue will usually be left behind to the space between a chip and a substrate. It is known that these residues will reduce the reliability and integrity of enclosure material.

[0005]

Generally lower part restoration enclosure of a chip is performed after a reflow. In the conventional technology, the polymer specified for this lower part restoration enclosure was epoxy. The coefficient of thermal expansion and modulus of epoxy are because it can adjust by addition of a non-bulking agent. In order to realize the optimal reliability, the coefficient of thermal expansion near the 25 ppm[/degree] C and the modulus of 4 or more GPas are desirable. Since desirable epoxy has a coefficient of thermal expansion exceeding 80 ppm[/degree] C, and the modulus of less than 4 GPas, the inorganic bulking agent generally chosen has a **** coefficient far lower than it and a far high modulus in the aggregate, as EPOSHIKI-inorganic substance mixture is in request within the limits.

[0006]

The conventional lower part restoration enclosing method has the four following main faults. namely, -- 1. solder bump's reflow INGU, and lower part restoration and hardening of enclosure material serve as a multi-stage story process, and lead to lowering productive efficiency. Carrying out lower part restoration requires time for 2. flip chip assembly too much. Material is because it must flow through the minute gap between a chip and a substrate. The flux residue which remains in 3. gap Since the bond strength and fusion intensity of lower part restoration enclosure adhesives are reduced, it has a bad influence on the reliability of an assembly, and it is attained to. The limit effect of capillary action becomes criticality-like increasingly as 4. chip size increases. for the reason An enclosure process takes time increasingly, and becomes easy to form ****, and polymer becomes easy to separate it from a bulking agent at the time of application.

[0007]

Of course, offering a required low coefficient of thermal expansion and a high modulus, as possibility of shortening the increase of reliability and required time, and producing **** in enclosure material is reduced, it is an execute permission to add various improvement to this process.

[0008]

As a conventional method of others which enclose a chip, it succeeds in the attempt in which the above-mentioned limit will be conquered, from the former through the hole in the substrate located near the center of a chip by applying the resin to enclose. after solder attachment and pure operation and an enclosure resin — the above — it was what pours into a hole and the circumference of a chip and secures full enclosure on the front face of a chip This method has the fault that it is necessary to reserve the area which does not have a circuit in the center of a substrate, in order to provide a hole with so intact space. Furthermore, the problem of a foam is not removed by this method, either.

[0009]

Another conventional method indicated by U.S. Pat. No. 5,128,746 (Pennisi) applies the binder containing a flux agent to a chip or a substrate. A chip is positioned on a substrate and a reflow of the solder bump is carried out. This reflow in process and a flux agent promote wetting of the solder to the metal pattern of a substrate, further, when adhesives harden, it interconnects on parts so mechanically and a substrate is enclosed with them. A melting solder soaks the limitation of this method in a substrate metal promptly, and in order for the bump of a chip to perform [a solder] self-adjustment (self-align) to the metal pattern of a substrate with surface tension further, these adhesives are this thing [that it must reach to an extreme reflow in process, and low viscosity must be maintained]. However, the viscosity of these matter increases greatly by existence of the inorganic bulking agent needed. Therefore, by this method, a material useful as the flux and the enclosure material which have a low coefficient of thermal expansion required to acquire the optimal reliability and a high modulus was ungenerable.

[0010]

If lower part restoration is carried out by the enclosure material 102 which will harden a chip 100 after that if drawing 1 and drawing 2 are referred to, reducing the solder joint crack by the thermal-expansion mismatching between a chip and a substrate 104 is shown. The hardened enclosure material 102 changes into deformation of a chip 100 and a substrate 104 the stress induced by expansion and the differential shrinkage from the solder joint 106. That is, at drawing 1, drawing 2 shows the deformation in contraction induction nature stress [in / low temperature / for the deformation in hot expansion induction nature stress].

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号
特開2000-22027
(P2000-22027A)

(43)公開日 平成12年1月21日(2000.1.21)

(51)Int.Cl. ⁷	識別記号	FI	テマコード(参考)
H01L 23/12		H01L 23/12	L 4M105
21/60		21/60	311S
// H01L 21/60	311	21/92	603D

審査請求 未請求 請求項の数17 O L (全 11 頁)

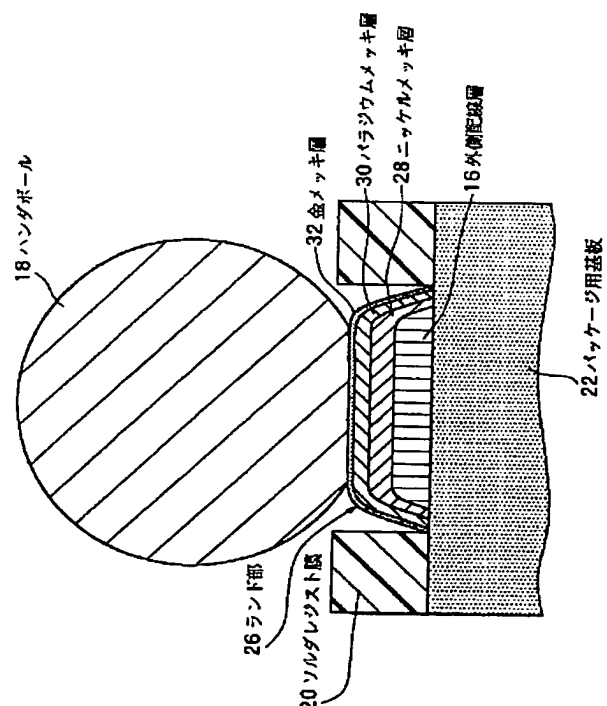
(21)出願番号	特願平10-182220	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22)出願日	平成10年6月29日(1998.6.29)	(72)発明者	松本 美幸 大分県東国東郡国東町大字小原3319番地の 2 ソニー大分株式会社内
		(74)代理人	100094053 弁理士 佐藤 隆久 Fターム(参考) 4M105 AA13 AA16 FF05 FF06

(54)【発明の名称】 半導体装置、その製造方法およびパッケージ用基板

(57)【要約】

【課題】 BGAにおいてハンダボールの密着性が加熱工程で低下する。

【解決手段】 パッケージ用基板22の裏面に設けた外部端子体、または半導体チップとパッケージ用基板22間の内部結線用の端子体として、配線層16上のランド部26に表面が球状の端子体18を固着させてなる半導体装置である。このランド部26が、配線層16上のニッケル層28と端子体18に接する金層32とを有し、両者間に、例えばPd又はPd合金からなり、Niが金層32内に熱拡散するのを阻止する拡散阻止層30が介在している。拡散阻止層30によりNiの上層拡散が阻止され、これによりランド部26表面が酸化されにくくなる一方で、金層32をフラッシュメッキ法等により薄くできるので、例えばAu-Sn合金等の固くて脆い層がハンダ接合面に形成されにくくなる。



【特許請求の範囲】

【請求項 1】半導体チップと、当該半導体チップが固定されたパッケージ用基板と、当該パッケージ用基板に形成され、前記半導体チップの表面に設けられた電極パッドまたは前記半導体チップの裏面に電氣的に接続された配線層と、当該配線層上に形成されたランド部と、当該ランド部上に固着された表面が球状の端子体とを備え、前記ランド部が、前記配線層の部分上に形成されたニッケル層と、前記端子体に接する金層とを有する半導体装置であって、

前記ニッケル層と前記金層との層間に、前記ニッケル層内のニッケルが前記金層内に熱拡散するのを阻止する拡散阻止層が介在している半導体装置。

【請求項 2】前記ランド部は、前記パッケージ用基板の前記半導体チップが固定された面と反対側の面に形成され、

当該半導体装置の外部端子として、前記端子体が前記ランド部上に固着されている請求項 1 に記載の半導体装置。

【請求項 3】前記半導体チップが、前記パッケージ用基板に形成された中空枠内に固定されて前記配線層とインナーリードにより接続され、

前記ランド部は、前記半導体チップの前記インナーリードが接続された面と同じ側の前記パッケージ用基板面に形成され、

当該半導体装置の外部端子として、前記端子体が前記ランド部上に固着されている請求項 1 に記載の半導体装置。

【請求項 4】前記拡散阻止層は、パラジウム、又は、パラジウムと他金属との合金からなる請求項 1 に記載の半導体装置。

【請求項 5】前記金層は、前記拡散阻止層よりも薄い請求項 1 に記載の半導体装置。

【請求項 6】半導体チップと、当該半導体チップが表面側から固定されたパッケージ用基板と、当該パッケージ用基板の半導体チップ固定面に形成され、パッケージの外部端子と電氣的に接続される内側配線層と、当該内側配線層上に形成され、対向する前記半導体チップの表面に設けられた電極パッドに対し、内部結線用の端子体を介して電氣的に接続された内側ランド部とを備え、

前記内側ランド部は、前記内側配線層上に形成されたニッケル層と、前記端子体に接する金層とを有する半導体装置であって、
前記ニッケル層と前記金層との層間に、前記ニッケル層内のニッケルが前記金層内に熱拡散するのを阻止する拡散阻止層が介在している半導体装置。

【請求項 7】前記パッケージ用基板の半導体チップ固定面と反対側の面に形成された外側ランド部と、当該外側ランド部の表面に形成された表面が球状の外部端子体とを更に有し、

前記外側ランド部は、前記拡散阻止層を含む前記内側ランド部と同じ積層構造を有する請求項 6 に記載の半導体装置。

【請求項 8】前記拡散阻止層は、パラジウム、又は、パラジウムと他金属との合金からなる請求項 6 に記載の半導体装置。

【請求項 9】前記金層は、前記拡散阻止層よりも薄い請求項 6 に記載の半導体装置。

【請求項 10】半導体チップが固定されるパッケージ用基板に、前記半導体チップ表面に設けられた電極パッドまたは前記半導体チップの裏面に電氣的に接続される配線層を形成し、当該配線層上にランド部を形成し、当該ランド部上に表面が球状の端子体を固着する半導体装置の製造方法であって、

前記ランド部の形成に際し、前記配線層上にメッキ法によりニッケル層を形成し、

前記ニッケル層上に導電性の拡散阻止層を形成し、

前記拡散阻止層上にメッキ法により金層を形成した後、形成したランド部内で、前記拡散阻止層により、前記ニッケル層内のニッケルが上層の前記金層に熱拡散することを阻止しながら、前記端子体を加熱を含む工程によって前記ランド部上に固着する半導体装置の製造方法。

【請求項 11】前記金層を、フラッシュメッキ法により前記拡散阻止層より薄く形成する請求項 10 に記載の半導体装置の製造方法。

【請求項 12】半導体チップが表面側から固定されるパッケージ用基板の面に、パッケージの外部端子に電氣的に接続される内側配線層を形成し、当該内側配線層上に内側ランド部を形成し、前記半導体チップを前記パッケージ用基板に固定する際に、当該半導体チップの表面に設けられた電極パッドを内部結線用の端子体を介して前記内側ランド部に電氣的に接続する半導体装置の製造方法であって、

前記内側ランド部の形成に際し、前記内側配線層上にメッキ法によりニッケル層を形成し、

当該ニッケル層上に導電性の拡散阻止層を形成し、

前記拡散阻止層上にメッキ法により金層を形成した後、形成した前記内側ランド部内で、前記拡散阻止層によって前記ニッケル層内のニッケルが上層の前記金層に熱拡散することを阻止しながら、前記半導体チップを、加熱を含む工程によって前記内部結線用の端子体を介して前記内側ランド部上に固着する半導体装置の製造方法。

【請求項 13】前記パッケージ用基板の半導体チップ固定面と反対側の面に、前記内側ランド部に電氣的に接続される外側配線層を形成し、

当該外側配線層上に、下層からニッケル層、拡散阻止層、金層によりなる外側ランド部を形成し、

形成した前記外側ランド部内で、前記拡散阻止層によって前記ニッケル層内のニッケルが上層の前記金層に熱拡散することを阻止しながら、表面が球状の外部端子体を、

加熱を含む工程によって前記外側ランド部上に形成する請求項12に記載の半導体装置の製造方法。

【請求項14】前記金層を、フラッシュメッキ法により前記拡散阻止層より薄く形成する請求項12に記載の半導体装置の製造方法。

【請求項15】半導体チップが固定される面、これに対向した面の少なくとも一方に形成され、前記半導体チップの表面に設けられたパッドまたは前記半導体チップの裏面に電氣的に接続される配線層と、当該配線層上に形成され、前記半導体チップと内部結線を達成する端子体が固着され、または外部端子として表面が球状の端子体が形成されるランド部とを有し、

当該ランド部が、前記配線層上に形成されたニッケル層と、

前記端子体に接する金層とを有するパッケージ用基板であって、

前記ニッケル層と前記金層との層間に、前記ニッケル層内のニッケルが前記金層内に熱拡散するのを阻止する拡散阻止層が介在しているパッケージ用基板。

【請求項16】前記拡散阻止層は、パラジウム、又は、パラジウムと他金属との合金からなる請求項15に記載のパッケージ用基板。

【請求項17】前記金層は、前記拡散阻止層よりも薄い請求項15に記載のパッケージ用基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、BGA(Ball Grid Array)またはCSP(Chip Size Package)等の表面実装形半導体パッケージに半導体チップを組み込んでなる半導体装置、その製造方法、および当該半導体装置の製造に好適に用いることができるパッケージ用基板に関する。

【0002】

【従来の技術】高度情報通信時代を迎え、電子機器に対する更なる使い易さおよび便利さ等の追求から、電子機器に搭載されるLSIに対し、小型化、高機能化、高性能化、さらに低コスト化が要求されている。このため、LSIチップの一層の高集積化に伴ってそのI/O数も増大する傾向にある一方で、パッケージ自体の小型化要求も強く、これらを両立させるために、半導体部品の高密度な基板実装に適合した半導体パッケージ技術の開発の重要性が高まっている。

【0003】高密度な半導体パッケージ技術は、従来ではQFP(Quad Flat Package)を主流として発展してきたが、QFPのファインピッチ化には限度があり、これを回路基板上に実装する際の負担も大きいことから、近年では、面実装形の半導体パッケージが注目されている。

【0004】実装コストを含むトータルな低コスト化が可能な面実装形の半導体パッケージとして、ハンダボ-

ルをパッケージの底面エリアに、例えば格子状に配列して外部端子としたBGAが知られている。最も一般的な構造のBGAとして、パッケージ用基板の一面上に半導体チップを実装し、それを樹脂モルディングした後、反対側の他面に外部端子としてハンダボールをエリア状に形成したものがある。このBGAでは、実装エリアが面で達成されるので、外部端子のピッチが緩和され、このためパッケージの小型化が比較的容易に達成できるという利点を有する。また、回路基板側でも狭ピッチ対応とする必要がなく、高精度な実装技術も不要となるので、BGAを用いると、パッケージコストが多少高い場合でもトータルな実装コストとしては低減できるという利点がある。

【0005】図7は、このBGAの底面に設けられた外部端子(ハンダボール)を中心とした部分の断面図である。図7において、符号100はBGA、102はパッケージ用基板を示す。図7ではBGAのハンダボール形成面が現れているが、その面に対向するパッケージ用基板面上には、特に図示しないが、半導体チップが裏面から銀ペーストを介して固定されている。また、パッケージ用基板面内の半導体チップ周囲には配線層が形成され、その配線層と半導体チップの表面に予め設けられた電極パッドとが、金ワイヤで接続されている。そして、半導体チップと金ワイヤ周囲とが樹脂で封止されている。

【0006】図7において、符号104は上記半導体チップと電氣的に接続された外側の配線層を示し、銅メッキからなる。この外側配線層104と、パッケージ内側の前記配線層とは、特に図示しないが、例えばパッケージ用基板102に形成されたスルーホールまたはパッケージ用基板102内の埋込配線層を介して、電氣的に相互接続されている。

【0007】BGA100では、図7に示されているように、銅からなる配線層104上に、ニッケルメッキ層106および金メッキ層108が順に積層され、これによりハンダボールのランド部110が形成されている。ニッケルメッキ層106はハンダボールとの間でハンダ接合を形成する。また、金メッキ層108は、このハンダ接合が形成されるまでの間にニッケルメッキ層106の表面が酸化されて、ハンダ濡れ性およびハンダボールの密着性が低下することを防止するための層である。各メッキ層の厚さは、例えば、配線層104が25~30μm、ニッケルメッキ層106が5μm以上、金メッキ層108が0.5μm以上である。このように構成されたランド部110の周囲は、ソルダレジスト膜112で覆われ、また、金メッキ層108の上部には、ハンダボール114が形成されている。このソルダレジスト膜112は、ソルダペースト印刷法によってハンダボール114を形成する際に、ソルダペーストとランド部110の接触面積を制限する。このため、形成されるハンダボ-

ール114の高さを出来るだけ高くすることができる。したがって、他の方法、例えばハンダボール搭載法を採用する場合には、このソルダレジスト膜112は省略してよい。

【0008】具体的に述べると、ソルダペースト印刷法の場合、ソルダペーストがランド部110上にスクリーン印刷により転写された後、加熱してリフローすることにより、ランド部110上に表面が球状のハンダボール114が形成される。一方、ハンダボール搭載法の場合は、パッケージ用基板102の底面全体にフラックスを塗布したあと、別に形成されて治具上に整列されたハンダボール114が加熱処理によりランド部110上に移動された後、リフローを経て、ランド部110上にハンダボール114が固着される。

【0009】このようにしてハンダボールが形成されたBGA100は、実装対象のプリント基板（マザーボード）に対してフェイスダウンさせた状態でハンダボール114を介して表面実装される。このとき、ハンダボール114は外部から加熱され、その熱でハンダボール114自体が溶解することにより、図示しないマザーボードに形成されたボールパッド部に固着される。

【0010】

【発明が解決しようとする課題】ところが、ハンダボール114を予め形成する際、または、BGAの実装時にハンダボール114をマザーボード上で固着させる際に、BGA100の底面側を加熱すると、ニッケルメッキ層106内のNi原子がその熱により金メッキ層108内に拡散し金メッキ層108の表面に達するため、その表面が酸化されやすくなってハンダボール114の密着性が低下する。

【0011】このNi原子のハンダボール114への到達を防止するためには、金メッキ層を厚くする対策が有効であり、上記構成では金メッキ層108を0.5μm以上と比較的に厚くしている。しかし、金メッキ層108が余り厚いと、上記加熱処理においてAu原子がハンダ内に拡散する過程でAuの供給量が余りに多いため、Auと錫（Sn）の合金層がニッケルメッキ層106との界面に一樣に形成される。このAu-Pb合金層は固くて脆いため、ニッケルメッキ層106との界面でハンダボール114が剥離して脱落することがある。

【0012】また、金メッキ層108が厚いことは、高価な金を多量に用いることとなり、コスト面から考えても好ましいことではない。

【0013】本発明は、上述した事情に鑑みてなされたものであり、製造コストを低く抑えながら、高温での熱処理によるハンダボールの密着性低下を有効に防止した半導体装置およびその製造方法を提供することを目的とする。また、本発明は、上記半導体装置の製造に好適に用いることができるパッケージ用基板を提供することを他の目的とする。

【0014】

【課題を解決するための手段】上記目的を達成するために、本発明の半導体装置は、半導体チップと、当該半導体チップが固定されたパッケージ用基板と、当該パッケージ用基板に形成され、前記半導体チップの表面に設けられた電極パッドまたは前記半導体チップの裏面に電気的に接続された配線層と、当該配線層上に形成されたランド部と、当該ランド部に固着された表面が球状の端子体とを備え、前記ランド部が、前記配線層の部分上に形成されたニッケル層と、前記端子体に接する金層とを有する半導体装置であって、前記ニッケル層と前記金層との層間に、前記ニッケル層内のニッケルが前記金層内に熱拡散するのを阻止する拡散阻止層が介在している。

【0015】このランド部および端子体は、例えばBGA等において、パッケージ用基板の底面に外部端子として設けてもよいし、また、BGAまたはCSP等において、半導体チップとパッケージ用基板との内部接合端子として設けてもよい。この拡散阻止層は、好ましくは、パラジウム、又は、パラジウムと他金属との合金からなる。また、前記金層は、好ましくは、前記拡散阻止層よりも薄い。

【0016】本発明の半導体装置の製造方法は、半導体チップが固定されるパッケージ用基板に、前記半導体チップ表面に設けられた電極パッドまたは前記半導体チップの裏面に電気的に接続される配線層を形成し、当該配線層上にランド部を形成し、当該ランド部に表面が球状の端子体を形成する半導体装置の製造方法であって、前記ランド部の形成に際し、前記配線層上にメッキ法によりニッケル層を形成し、前記ニッケル層上に導電性の拡散阻止層を形成し、前記拡散阻止層上にメッキ法により金層を形成した後、形成したランド部内で、前記拡散阻止膜により、前記ニッケル層内のニッケルが上層の前記金層に熱拡散することを阻止しながら、前記端子体を加熱を含む工程によって前記ランド部に形成する。

【0017】この製法は、外部端子用の外側ランド部、または、パッケージ用基板と半導体チップとの内部結成用の内側ランド部の何れにも適用できる。また、好ましくは、前記金層をフラッシュメッキ法により前記拡散阻止層より薄く形成するとよい。

【0018】本発明の半導体装置およびその製造方法によれば、パッケージ用基板面に形成されたランド部上に、外部端子として表面が球状の端子体を加熱により形成する。また、パッケージ用基板上に半導体チップを固定する際に、内部結線用の端子体として例えば半導体チップの電極パッド上に形成された端子体を、パッケージ用基板上面に形成された内側ランド部上に加熱により融着する。さらに、その後、当該半導体装置を例えばマザーボード等の上に表面実装する際に、外部端子体が実装基板上に設けたボールパッド部に加熱により融着される。この何れの場合においても、ランド部が加熱される

とニッケル層内のNi原子が振動を始め金層が設けられた上層側に拡散しようとするが、そのNi原子は拡散阻止層によって金層内への拡散が阻止され、ニッケル層内に封じ込められる。このため、従来のようにNi原子が金層の表面に達することがない。このような拡散阻止層の介在によって、その上層の金層を薄くしても、端子体の密着性が低下しない。

【0019】また、その加熱時には、同時に、金層内のAu原子および拡散阻止層の構成原子（例えば、Pd原子）が端子体内に拡散する。ところが、本発明では金層を薄くできることから、その場合、Au原子が端子体の構成原子（例えば、ハンダ内のSn）と結合しても、この合金層が端子体の密着性を低下させる層としてニッケル層の界面に一樣に形成されることがない。

【0020】本発明のパッケージ用基板は、半導体チップが固定される面、これに対向した面の少なくとも一方に形成され、前記半導体チップの表面に設けられた電極パッドまたは前記半導体チップの裏面に電気的に接続される配線層と、当該配線層上に形成され、前記半導体チップとの内部結線を達成する端子体が固着され、または外部端子として表面が球状の端子体が形成されるランド部とを有し、当該ランド部が、前記配線層上に形成されたニッケル層と、前記端子体に接する金層とを有するパッケージ用基板であって、前記ニッケル層と前記金層との層間に、前記ニッケル層内のニッケルが前記金層内に熱拡散するのを阻止する拡散阻止層が介在している。

【0021】

【発明の実施の形態】以下、本発明の実施の形態について、図を参照しながら説明する。本発明は、パッケージ化された半導体装置、製造方法および当該半導体装置の製造に好適に用いることができるパッケージ用基板に関する。本発明に係る半導体装置は、いわゆるBGA(Ball Grid Array)、CSP(Chip Size Package)に広く適用可能である。BGAは、その材料および構造的な特徴によって、大まかには、パッケージ用基板が樹脂、セラミックまたは銅からそれぞれなるP-BGA(Plastic Ball Grid Array)、C-BGA(Ceramic Ball Grid Array)、S-BGA(Super Ball Grid Array)と、これにBGAとTAB(Tape Automated Bonding)の特徴を併せ持つT-BGA(Tape Ball Grid Array)を加えたものに細分類できる。本発明は、この何れに対しても広く適用可能である。

【0022】第1実施形態

本実施形態は、P-BGA、C-BGA、S-BGAに関する。図1は、本実施形態に係る半導体装置の構造例を示す断面図、図2は図1に示す半導体装置の外部端子となるハンダボールとランド部の要部拡大断面図である。

【0023】図1において、符号1は本実施形態の半導体装置であるBGA、2は主にBGAの機械的な強度を

維持するためのパッケージ用基板、4は半導体チップである。

【0024】パッケージ用基板2は、P-BGAの場合、例えばBT(Bismaleimide Triazine)エポキシ材からなる。BTエポキシ材は、一般のプリント配線基板に使用される材料と同じであるが、BGAパッケージとなるまでの製造工程での熱履歴が過酷なこと、および、半導体チップ4のダイレクトボンディングが必要となることなどから耐熱性を高めた樹脂材料である。

【0025】パッケージ用基板2の半導体チップ4を載置する面（以下、この面を“内面”という）側には、エッチングによって、半導体チップ4を固定するダイヤタッチ層6と、その周囲の内側配線層8とが形成されている。このダイヤタッチ層6上に、半導体チップ4がその裏面側から銀ペースト10を介して固定されている。また、電源電圧およびシグナル用の内側配線層8は、半導体チップ4の表面に形成された電極パッドに対し、金ワイヤ12により電気的に接続されている。そして、これら半導体チップ4、金ワイヤ12および内側配線層8の一部が、モールド樹脂14によって封止されている。

【0026】パッケージ用基板2の反対側の面（以下、この面を“外面”という）には、同じくエッチングによって、図2にも示すように外側配線層16が形成されている。この外側配線層16上には、パッケージの外部端子としてのハンダボール18が、後述するように複数のメッキ層を介して固着されている。このハンダボール18周囲のパッケージ用基板2の外面全域、および半導体チップ搭載面のモールド樹脂14周囲の内側配線層8の表面部分は、ソルダレジスト膜20により覆われている。

【0027】パッケージ用基板2には、それぞれ内壁が導電膜により被膜された2種類の貫通孔、即ちBGAの放熱性を向上させるためのサーマルバイヤホール(Thermal Via Hole)22と、電源電圧およびシグナル用のスルーホール(Through Hole)24とが設けられている。サーマルバイヤホール22は、ダイヤタッチ層6の裏面側に所定数設けられており、当該ダイヤタッチ層6と接地用の外側配線層16および接地用のハンダボール18とを電気的に接続している。スルーホール24は、内側配線層8と、電源電圧又はシグナル用の外側配線層16およびハンダボール18とを電気的に接続する電気経路として設けられたものである。これにより、配線経路を最短距離化して、ノイズ源となるインダクタンス等の低減、信号遅延の短縮等が可能となり、半導体装置の高性能化が図られている。

【0028】図2に示すように、パッケージ用基板2の外側配線層16上には、そのハンダボール18が装着される部分にランド部26が形成されている。ランド部26は、例えば銅からなる外側配線層16上に、ニッケルメッキ層28、Niの拡散阻止層としてのパラジウムメ

ッキ層 30 および金メッキ層 32 を順に積層してなる。各層の厚さは、例えば、外側配線層 16 が $25 \sim 30 \mu\text{m}$ 、ニッケルメッキ層 28 が $5 \mu\text{m}$ 以上、パラジウムメッキ層 30 が $0.02 \sim 0.5 \mu\text{m}$ 、金メッキ層 32 が $0.003 \sim 0.01 \mu\text{m}$ 程度に設定されている。

【0029】ニッケルメッキ層 70 は、外側配線層 16 のバリアメタルとして形成され、外側配線層 16 の酸化防止および耐熱性を向上させるとともに、金メッキ層 32 の耐熱性を維持するためのものである。また、金メッキ層 32 は、ランド部 26 とハンダボール 18 との間にハンダ接合が形成されるまでにニッケルメッキ層 28 の表面が酸化されて、ハンダ濡れ性およびハンダボール 18 の密着性が低下することを防止するための層である。この金メッキ層 32 のハンダボール接触部分は、ハンダボール固着時のランド部 26 を加熱する際にハンダボール 18 内に熱拡散する。

【0030】本発明の特徴である拡散阻止層、即ち本例のパラジウムメッキ層 30 は、ランド部 26 の加熱時に、ニッケルメッキ層 28 内の Ni 原子の金メッキ層 32 への拡散を阻止するために設けてある。このパラジウムメッキ層 30 は、純 Pd のほか、Pd と他金属（例えば、Ni）との合金から構成させてもよい。また、拡散阻止層の機能を発揮する他の金属、例えば Ni-W 合金等から構成してもよい。

【0031】従来構成のように拡散阻止層がない場合、ランド部の加熱時に、ニッケルメッキ層内の Ni 原子がその熱により金メッキ層内に拡散し、それにより、ニッケル原子が部分的に金メッキ層の表面に達するため、その表面が酸化されやすくなってハンダボールの密着性が低下する。この Ni 原子のハンダボールへの到達を防止するためには、金メッキ層を厚くする対策が有効であり、従来の構成では金メッキ層を $0.5 \mu\text{m}$ 以上と比較的に厚くしている。しかし、金メッキ層が余り厚いと、上記加熱処理において Au 原子がハンダ内に拡散する過程で Au の供給量が余りに多いため、Au と Sn の合金層がニッケルメッキ層との界面に一緒に形成される。この Au-Sn 合金層は固くて脆いため、ニッケルメッキ層との界面でハンダボールが剥離して脱落することがある。

【0032】これに対し、本実施形態では、パラジウムメッキ層 30 をニッケルメッキ層 28 と金メッキ層 32 との間に介在させ、Ni 原子をニッケルメッキ層 28 内に封じ込める。このため、ランド部 26 表面の酸化を防止するほか、金メッキ層 32 を例えばフラッシュメッキ法を用いて薄く形成することができる。金メッキ層 32 を薄くすると、Au 原子がハンダ内に拡散する量を少なくでき、その結果として、Au-Pb 合金層の生成を抑制し、ハンダボール 18 脱落を有効に防止することが可能となる。なお、このパラジウムメッキ層 30 も、金メッキ層 26 と同様に加熱時にハンダ内に拡散する。した

がって、この熱拡散の過程で、パラジウムメッキ層 30 は金メッキ層 26 とともに下地のニッケルメッキ層 28 が酸化されるのを防止する役目を果たす機能を果たし、最終的には、ニッケルメッキ層 28 とハンダボール 18 との間で良好なハンダ接合が形成される。

【0033】このように構成されたランド部 26 の周囲は、ソルダレジスト膜 20 で覆われ、また、ランド部 26 上には、ハンダボール 18 が形成されている。このソルダレジスト膜 20 は、詳細は後述するが、ソルダペースト印刷法によってハンダボール 18 を形成する際に、ソルダペーストとランド部 18 の接触面積を制限する。そして、ソルダレジスト膜 20 の開口部の面積、厚さおよびランド部との相対位置が、ハンダボール 18 の高さを制御するうえで重要となる。さらに半導体パッケージの表面保護膜として、耐熱性、耐湿性および絶縁性等の諸条件を備えている必要である。ソルダペースト印刷法以外のハンダボール形成法、例えばハンダボール搭載法を採用する場合には、このソルダレジスト膜 20 は、単なる保護膜で代替できる。

【0034】ハンダボール 18 は、球径が $0.15 \sim 1.5 \text{mm}$ 程度の欠球体であり、例えば Pb が 60%、Sn が 40% で融点が 180°C 程度の低融点ハンダ、あるいは例えば Pb が 90%、Sn が 10% で融点が 250°C 程度の高融点ハンダ等様々な種類があり、これらは、組み立てプロセスに応じて適宜選択される。ハンダボール 18 としては、実装時のマザーボード側のボールパッドとの電気的な接続を確実にを行うために、その高さが一定以上あり、また強度や隣接端子間の短絡を防止するために大きさも精度よくコントロールされている必要がある。

【0035】つぎに、BGA1 の製造方法について説明する。まず、所定の貫通孔を形成したパッケージ用基板を用意し、両面にダイアタッチ層 6 および配線層 8、16 となる銅膜を、例えばスパッタリング法により成膜する。このとき、貫通孔の内壁が銅膜により皮膜され、サーマルバイヤホール 22 およびスルーホール 24 が形成される。つぎに、形成した銅膜をパターンニングして、ダイアタッチ層 6 および配線層 8、16 を形成する。

【0036】上述した工程完了後、パッケージ用基板 2 の両面側からフォトソルダレジストインクを使用して、樹脂モールドされる領域の周辺部分および各ランド部 26 の周辺領域にソルダレジスト膜 20 を形成する。このとき、ソルダレジスト膜 20 の各ランド部 26 に対する相対位置および厚さを正確に管理するとともに、後で樹脂モールド及び金属メッキがされることから、サーマルバイヤホール 22 およびスルーホール 22 内をソルダレジストインクで予め埋め込む必要がある。

【0037】つぎに、パッケージ用基板 2 の裏面（外面）にランド部 26 を形成する。具体的には、ソルダレジスト 20 により開口した部分に電解または無電解メッ

キ法により、ニッケルメッキ層28、パラジウムメッキ層30を順次形成する。さらに、金メッキ層32を、フラッシュメッキ法により形成する。

【0038】続いて、常法にしたがって、ダイボンディング、ワイヤボンディング、樹脂モールドイングを行う。すなわち、ダイヤタッチ層6に銀ペースト10を塗布し、その上に半導体チップ4を載置したあと、銀ペースト10を凝固させるために所定条件の熱処理を行う。また、半導体チップ4上の電極パッドと内側配線層8を金ワイヤ12で接続したのち、金型内でモールド樹脂を注入して半導体チップ4を樹脂封止し、キュア後に金型から取り出す。

【0039】つぎに、溶ダペースト印刷法によって、ハンダボール18の形成を行う。具体的には、溶ダペーストをランド部26上にスクリーン印刷により転写した後、加熱してリフローすると、ランド部26上に表面が球状のハンダボール18が形成される。このハンダボールの形成時に、PdおよびAuが溶ダペースト中に熱拡散し、最終的には、ニッケルメッキ層28とハンダボール18との間でハンダ接合が形成される。この加熱過程で、パラジウムメッキ層30および金メッキ層26によって下地のニッケルメッキ層28表面が保護され、その表面酸化が防止される。また、このハンダボール形成時またはその後の加熱時において、本実施形態では、前記したようにパラジウムメッキ層30によってNi原子がニッケルメッキ層28内に封じ込められ、ランド部26表面の酸化が有効に防止される。さらに、前記したように金メッキ層32を薄く形成できるので、ハンダ接合界面でのAu-Sn合金層の形成を有効に抑制できる。以上の理由によって、ニッケルメッキ層28とハンダボール18との間に形成されるハンダ接合は良好なものとなる。

【0040】ハンダボール形成法としては、以上に述べた溶ダペースト印刷法のほかに、フラックスまたは溶ダペーストを用いたハンダボール搭載法が採用できる。これらのハンダボール搭載法では、パッケージ用基板2の底面全体にフラックスを塗布（または、溶ダペーストを印刷）したあと、別に形成されて治具上に整列されたハンダボール18を加熱処理によりランド部26上に移載された後、リフローを経て、ランド部26上にハンダボール114が固着される。なお、フラックスを用いる場合は、その後、パッケージ用基板2の底面に残存する余分なフラックスを洗浄によって除去する。

【0041】このようにしてハンダボール18が装着されたBGA1は、実装対象のプリント基板（マザーボード）に対してフェイスダウンさせた状態でハンダボール18を介して表面実装される。このとき、ハンダボール18は外部から加熱され、その熱でハンダボール18自体が溶解することにより、図示しないマザーボードに形成されたボールパッド部に固着される。

【0042】なお、本実施形態では、種々の変更が可能である。たとえば、半導体チップ4の固定方法および端子接続方法は、上記の如く銀ペースト塗布法およびワイヤボンディング法に限らず、両者を一括して行うフリップチップ法の採用が可能である。フリップチップ法では、パッケージ用基板2の内面にも上記したランド部26と同じ構成の内側ランド部を設ける。また、本発明の“内部結線用の端子体”として、当該内側ランド部上または半導体チップの電極パッド上にハンダバンプを予め形成しておき、これを介してICとパッケージ用基板2を接続する。この内側ランド部においても、前記したと同様に、端子体の脱落および固着強度の低下が防止される。なお、このフリップチップ法については、後述する第3実施形態において詳しく述べる。

【0043】また、上記説明では、ハンダボールは鉛と錫から構成されるとしたが、ハンダボールの材質はこれに限定されない。つまり、ハンダボール搭載法では、高い熱伝導度と電気伝導度を有する銅を高精度な球体に形成し、その表面に均一なハンダコーティングを施したハンダボールを用いてもよい。この場合のコーティング用材質としては、共晶ハンダ、銀ペースト、ニッケル等を使用するとよい。さらに、パッケージ用基板2の材料は、C-BGAの場合はセラミック、S-BGAの場合は銅が選択される。このパッケージ用基板2を薄い基板を積層させた構造とし、その内部の電気経路は、スルーホールに限定されず、積層基板間に埋め込まれた配線層により実現してもよい。その他、サーマルパイアホールを省略する、その代わりに放熱板を設ける、或いは樹脂モールドイングに代えてキャップシールでICを封入する等、種々の変更が可能である。

【0044】本実施の形態では、端子体のランド部26内に拡散阻止層としてパラジウムメッキ層30を介在させたことにより、ランド部26表面の熱酸化が防止され、またランド部26と端子体間に、例えばAu-Sn合金層のような固くて脆い層が形成されない。このため良好なハンダ接合が達成され、その結果、端子体の脱落および固着強度の低下が有効に防止できる利点がある。また、Au層を、例えばフラッシュメッキ法等によって薄く形成してもよいことから、高価なAuを節約でき、この点で製造コストを抑える利点がある。

【0045】第2実施形態

本実施形態は、本発明をT-BGAに適用した場合である。図3は、本実施形態に係る半導体装置の一構成例を示す概略断面図である。図3において、符号40は本実施形態に係るT-BGA、42はパッケージ用基板を示す。

【0046】本実施形態におけるパッケージ用基板42は、機械強度を確保するために例えば銅等の金属材料からなる固定板44と、固定板44の一方面に接着剤を介して貼り合わせたポリイミド製のTABテープ46とから

なる。TABテープ46の外面には、銅箔を接着剤で張り付けた後、これを所定パターンにエッチングすることにより、外側配線層16とインナーリード46aとからなるパターンが形成されている。このパターン内において、所定の外側配線層16とインナーリード46a同士の相互接続が達成されている。そして、外側配線層16の周囲を開口させた残りのTABテープ46表面が、ソルダレジスト膜20により覆われている。

【0047】このパッケージ用基板42の中央部分は中空枠状になっており、その中に、半導体チップ4がTABテープ46と電気的に接続した状態で、封止樹脂48によって固定されている。具体的に、半導体チップ4は、その表面に形成された電極パッド上にインナーリード46aの先端部分が熱圧着されている。そして、半導体チップ4が、その表面全体からパッケージ用基板42の中空枠内壁に達する部分で、封止樹脂48によってTABテープ46に固定されている。これにより、インナーリード46aを介して半導体チップと外側配線層16との電気的な接続が達成されている。一方、半導体チップ4の裏面と固定板44の外面に、メタル製の放熱板49が導電性の接着剤等により固定されている。

【0048】個々の外側配線層16上には、図2と同様なメッキ層28、30、32の積層構成のランド部26が形成され、その上に、外部端子体としてのハンダボール18が固着されている。

【0049】このような構成のTBGA40は、半導体チップ4の電極引き出し面と、外部端子体（ハンダボール18）の固定面が、ほぼ同一面状にエリア配置され、半導体チップ4と外部端子体との接続が一層の配線層パターンのみによって達成されている。このため、TBGA40は、そのパッケージ内の信号伝達経路が短く、寄生インダクタンスや寄生キャパシタンスが小さいという利点を有する。したがって、このTBGA40は、動作周波数が高い高速信号処理用のIC向けに適している。

【0050】つぎに、TBGA40を製造する方法の一例を、説明する。まず、配線パターン16、46aをポリイミド層の一面に形成し、その上にソルダレジスト膜20を形成した後、ポリイミド層の中抜きを行って、TABテープ46を予め形成しておく。また、このTABテープ46の形成時に、ソルダレジスト膜20の開

口部に表出する外側配線層16上に、第1実施形態と同様な方法により、メッキ層の積層膜からなるランド部26を形成する。

【0051】そして、放熱板49上に、半導体チップ4と固定板44を取り付けたのち、固定板44上に、TABテープ46を接着して固定する。この固定では、半導体チップ4の表面に形成されている電極パッドとインナーリード46aの端子部分との位置合わせを行った後、TABテープ46を固定板44に接着する。なお、電極

パッドとインナーリード46aの一方側には金属バンブが形成されており、上記TABテープ46の固定時またはその後、インナーリード46aを外側から加熱して圧着させることにより、電極パッドとインナーリード46aの接続が達成される。

【0052】つぎに、半導体チップ4の表面から側面にかけてTABテープ46との隙間に封止樹脂48を流し込み、キュアして半導体チップ4の固定を完全なものとする。

【0053】最後に、第1実施形態と同様な方法により、ハンダボール18の固定を行って、当該TBGA40を完成させる。

【0054】この第2実施形態に係る半導体装置（TBGA40）及びその製造方法は、第1実施形態と同様に、ランド部26内にパラジウムメッキ層30が介在していることから、ランド部26表面の熱酸化が防止され、ランド部26と端子体間にAu-Sn合金層のような固くて脆い層が形成されたため、その界面に良好なハンダ接合が達成され、その結果、端子体の脱落および固着強度の低下が有効に防止できる利点がある。また、Au層を、例えばフラッシュメッキ法等によって薄く形成してもよいことから、高価なAuを節約でき、この点で製造コストを抑える利点がある。

【0055】加えて、本実施形態では、ランド部をTABテープ46の外側配線層46aに予め形成しておくことができる。したがって、後は、TABテープ46と他の部材を固定するだけでよいので、パッケージ組み立て工程が簡素であり、組み立てコストが余りかからないといった利点がある。

【0056】第3実施形態

本実施形態は、本発明をCSPに適用した場合である。図4は、本実施形態にかかる半導体装置（CSP）の概略斜視図である。このCSP50では、半導体チップ4が、本発明の“パッケージ用基板”としてのインターポザー52上に載置されており、封止樹脂54により封止されている。

【0057】図5は、このCSPの断面図である。半導体チップ4が、ソルダバンブ56によってインターポザー52と機械的、電気的に接続されており、半導体チップ4とインターポザー52の間は封止樹脂54が充填されている。インターポザー52に設けられたスルーホール58を通じて、インターポザー52の裏面側にアレイ状に設けられたターミナル60とソルダバンブ56とが電気的に接続されている。ターミナル60は外部端子として、ガラスエポキシ系材料からなる図示しないプリント基板（マザーボード）にはんだ付けされる。

【0058】図6は、ソルダバンブ形成部およびターミナル上部の拡大断面図である。半導体チップの表面に形成された電極パッド4a上でオーバーコート4bが開口し、その上にバリアメタル4cが形成されている。バリ

アメタル4c上に欠球状のハンダバンプ56が形成されている。一方、インターポーザー52のターミナル60上には、例えば銅からなる内側配線層62が形成され、その上にランド部26が形成されている。ランド部26は、第1実施形態と同様な形態(図2)でもよいが、この図6では、ソルダレジスト膜20の開孔部が内側配線層62上面に限定され、その開孔部を埋め込むように下層からニッケルメッキ層28、パラジウムメッキ層30および金メッキ層32からなるランド部26が形成されている。

【0059】かかる半導体装置は、CSPとすることにより構造が簡素なうえ、小型化、高密度化が達成されている。

【0060】つぎに、上記構成の半導体装置(CSP50)の製造方法について説明する。例えば、シリコン基板上にトランジスタなどの種々の半導体素子を集積化して形成した半導体チップ4の電極パッドおよびバリアメタル4c上に、例えばソルダバンプ56を常法に従って形成する。一方、例えばアレイ状に形成されたスルーホール58に導電体を形成し、さらに必要に応じてスルーホール58中の導電体に接続するように回路パターン(ターミナル60および内側配線層62)を印刷してインターポーザー52を形成する。内側配線層62上で開口させてソルダレジスト膜20を形成したのち、メッキ法あるいはフラッシュメッキ法により、上記各メッキ層28、30、32を順次積層させてランド部26を形成する。

【0061】このランド部側の全面にフラックス処理を行った後、ランド部26とソルダバンプ56とが接続されるように位置決めをして、半導体チップ4をインターポーザー52上に載置する。所定の熱処理を施してソルダバンプ56を溶融し、その後冷却することで半導体チップ4とインターポーザー52とを機械的、電気的に接続する。

【0062】つぎに、半導体チップ4とインターポーザー52との間隙に、例えば熱硬化性樹脂からなる封止樹脂54を充填し、キュア(硬化)工程を行い、封止する。このようにしてパッケージ化された半導体装置は、そのターミナル60が例えばガラスエポキシ系の図示しないマザーボードの導電性パターン上にはんだ付けされ、使用される。

【0063】なお、CSP50の底面のターミナル60に、第1実施形態と同様な構成および形成方法によってハンダボール等からなる外部端子体を予め固着し、実装時に外部端子体を介してマザーボードとの接続を行うようにしてよい。

【0064】本実施形態の半導体装置(CSP50)

は、第1実施形態と同様に、ランド部26内にパラジウムメッキ層30が介在していることから、ランド部26表面の熱酸化が防止され、ランド部26と端子体(ソルダバンプ56)間にAu-Sn合金層のような固くて脆い層が形成されたため、その界面に良好なハンダ接合が達成され、その結果、端子体の脱落および固着強度の低下が有効に防止できる利点がある。また、Au層を、例えばフラッシュメッキ法等によって薄く形成してもよいことから、高価なAuを節約でき、この点で製造コストを抑える利点がある。

【0065】

【発明の効果】本発明によれば、安価な製造コストでありながら、高温での熱処理によって密着性の低下がない端子体を備え、製造歩留りおよび信頼性が高い半導体装置及びその製造方法を提供することができる。また、その製造方法に好適に使用可能なパッケージ用基板を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る半導体装置の構造例を示す断面図である。

【図2】図1に示す半導体装置の外部端子となるハンダボールとランド部の要部拡大断面図である。

【図3】本発明の第2の実施形態に係る半導体装置の断面図である。

【図4】本発明の第3の実施形態に係る半導体装置の斜視図である。

【図5】図1の半導体装置の断面図である。

【図6】ソルダバンプ形成部およびターミナル上部の拡大断面図である。

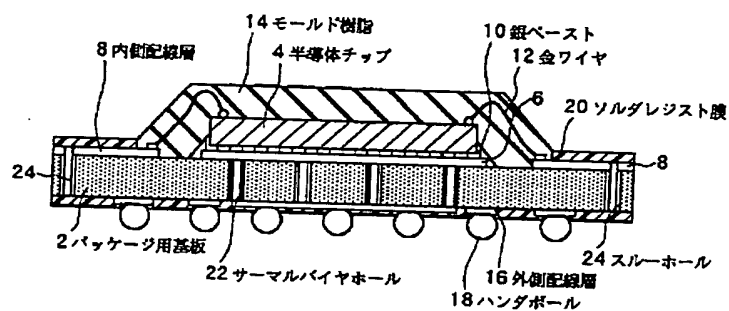
【図7】従来のBGAの底面に設けられた外部端子(ハンダボール)を中心とした部分の断面図である。

【符号の説明】

1, 40…BGA(半導体装置)、2, 42…パッケージ用基板、6…ダイアタッチ層、8, 62…内側配線層、10…銀ペースト、12…金ワイヤ、14…モールド樹脂、16…外側配線層、18…ハンダボール、20…ソルダレジスト膜、22…サーマルパイヤホール、24, 58…スルーホール、26…ランド部、28…ニッケルメッキ層、30…パラジウムメッキ層、32…金メッキ層、44…固定板、46…TABテープ、46a…インナーリード、48, 54…封止樹脂、49…放熱板、50…CSP(半導体装置)、52…インターポーザー(パッケージ用基板)、56…ソルダバンプ、60…ターミナル。

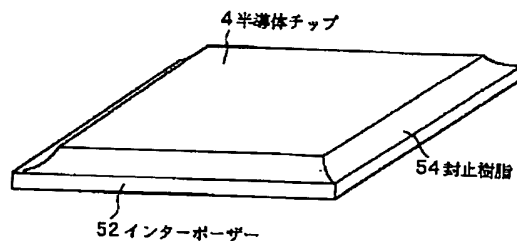
【図 1】

1 BGA



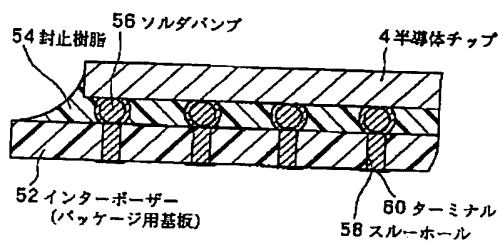
【図 4】

50 CSP

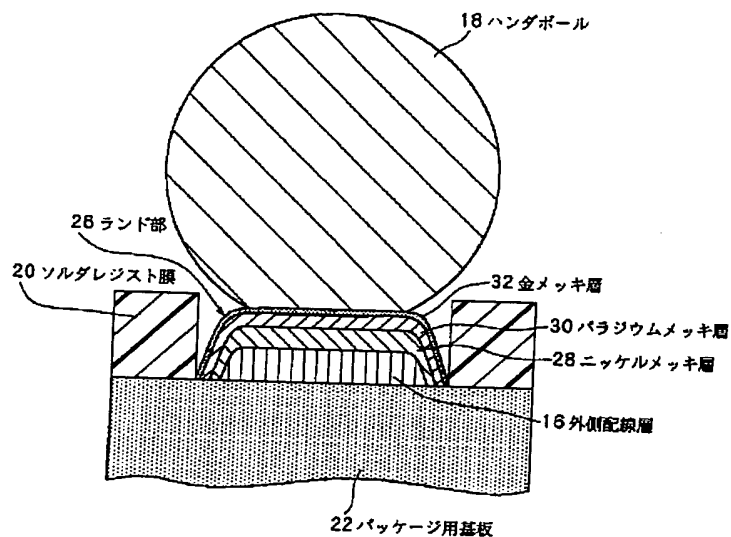


【図 5】

50

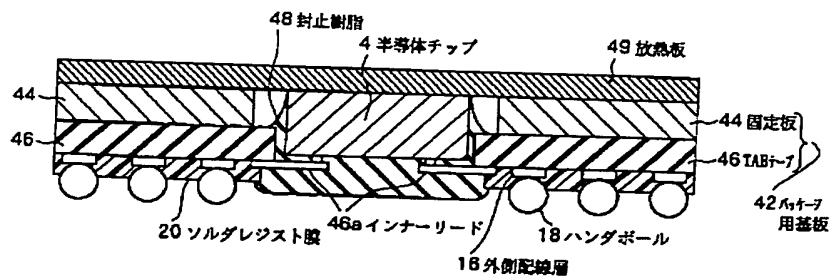


【図 2】

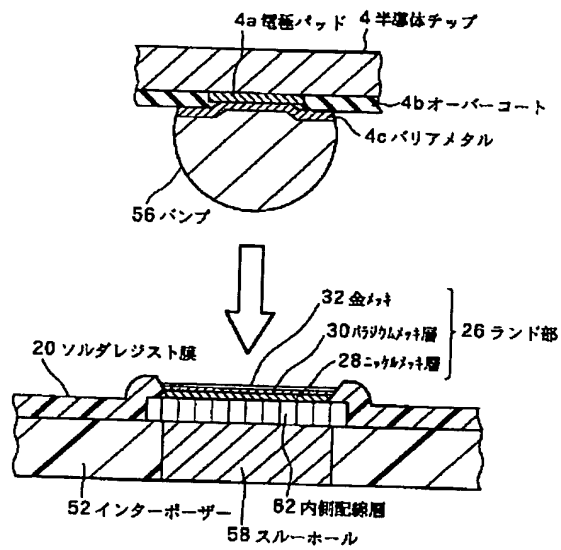


【図 3】

40 T-BGA



【図 6】



【図 7】

